

**Family list**

**1** application(s) for: **JP2000340503 (A)**

**1**

**MANUFACTURE OF SEMICONDUCTOR FILM AND THIN-FILM  
TRANSISTOR, AND ACTIVE MATRIX SUBSTRATE**

**Inventor:** ABE HIROYUKI

**Applicant:** SEIKO EPSON CORP

**EC:**

**IPC:** G09F9/30; G02F1/136; G02F1/1368; (+14)

**Publication info:** JP2000340503 (A) — 2000-12-08

Data supplied from the **esp@cenet** database — Worldwide

# MANUFACTURE OF SEMICONDUCTOR FILM AND THIN-FILM TRANSISTOR, AND ACTIVE MATRIX SUBSTRATE

Publication number: JP2000340503 (A)

Publication date: 2000-12-08

Inventor(s): ABE HIROYUKI

Applicant(s): SEIKO EPSON CORP

Classification:

- international: G09F9/30; G02F1/136; G02F1/1368; H01L21/20; H01L21/268; H01L21/336; H01L29/786; G09F9/30; G02F1/13; H01L21/02; H01L29/66; (IPC1-7): H01L21/20; G02F1/136; G09F9/30; H01L21/268; H01L21/336; H01L29/786

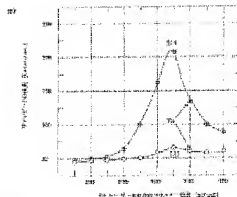
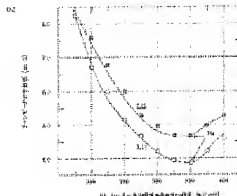
- European:

Application number: JP19990146394 19990526

Priority number(s): JP19990146394 19990526

## Abstract of JP 2000340503 (A)

**PROBLEM TO BE SOLVED:** To provide a manufacture for a high quality semiconductor film which has a large particle size, high in crystallinity, and low in surface roughness. **SOLUTION:** Energy light irradiation for obtaining a polycrystalline silicon film is conducted twice, and the first irradiation is made in a vacuum having no oxide film removal processing of a semiconductor film surface, or is made in the atmosphere or in the ambience in which any gas is filled up to the exclusion of vacuum. A surface processing of a semiconductor film is performed prior to the second irradiation, and after the oxide film is eliminated, the irradiation is made in vacuum. Furthermore, intensity of second energy light irradiation is adjusted so as not to exceed the irradiation intensity of the first energy lights.



Data supplied from the [esp@cenet](mailto:esp@cenet) database — Worldwide

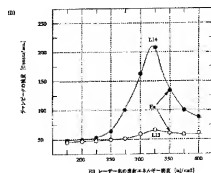
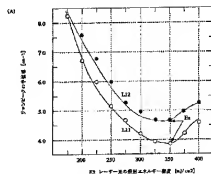
| (51) IntCl. <sup>7</sup>             | 識別記号                     | F I            | チーコード <sup>8</sup> (参考)                       |
|--------------------------------------|--------------------------|----------------|---|
| H 0 1 L 21/20                        |                          | H 0 1 L 21/20  | 2 H 0 9 2                                     |
| G 0 2 F 1/136                        | 5 0 0                    | G 0 2 F 1/136  | 5 0 0 5 C 0 9 4                               |
| G 0 9 F 9/30                         | 3 3 8                    | G 0 9 F 9/30   | 3 3 8 5 F 0 5 2                               |
| H 0 1 L 21/268                       |                          | H 0 1 L 21/268 | F 5 F 1 1 0                                   |
| 29/786                               |                          | 29/78          | 6 2 7 G                                       |
| 審査請求 未請求 請求項の数12 O L (全 13 頁) 最終頁に続く |                          |                |   |
| (21) 出願番号                            | 特願平11-146394             | (71) 出願人       | 000002369<br>セイコーエプソン株式会社<br>東京都新宿区西新宿2丁目4番1号 |
| (22) 出願日                             | 平成11年5月26日 (1999. 5. 26) | (72) 発明者       | 阿部 裕幸<br>長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内        |
|                                      |                          | (74) 代理人       | 100093388<br>弁理士 鈴木 喜三郎 (外2名)                 |
|                                      |                          | 最終頁に続く         |   |

(54) 【発明の名称】 半導体膜の製造方法、薄膜トランジスタの製造方法、アクティブマトリクス基板

## (57) 【要約】

【課題】 大粒径を有し、結晶性の高いかつ表面荒れの少ない高品質半導体膜の製造方法を提供することを課題とする。

【解決手段】 多結晶シリコン膜を得るためのエネルギー光照射を2回とし、その1回目は半導体膜表面の酸化膜除去処理なしで真空中で行う、または大気中あるいは何らかのガスを充填した真空を除く雰囲気で行う。2回目の照射の前には半導体膜の表面処理を行い酸化膜除去をした後、照射を真空中で行う。また2回目のエネルギー光照射の強度が、1度目のエネルギー光の照射強度を越さないようにする。



## 【特許請求の範囲】

【請求項 1】 基板上に半導体膜を形成する成膜工程と、前記半導体膜に対してエネルギー光を照射して結晶性半導体膜を得る半導体膜の製造方法において、

前記半導体膜に第 1 エネルギー光の照射を行う工程と、前記第 1 エネルギー光の照射を行う工程の後に、前記半導体膜の表面処理を施す工程と、前記表面処理を施す工程の後に、前記半導体膜に第 2 エネルギー光の照射を行う工程を有することを特徴とする半導体膜の製造方法。

【請求項 2】 請求項 1 において、前記第 1 及び第 2 エネルギー光の少なくとも一方はレーザー光であることを特徴とする半導体膜の製造方法。

【請求項 3】 請求項 2 において、前記レーザー光はラインビームであることを特徴とする半導体膜の製造方法。

【請求項 4】 請求項 1 ないし 3 のいずれか一項において、前記第 1 エネルギー光の照射は、真空中にて行うことを特徴とする半導体膜の製造方法。

【請求項 5】 請求項 1 ないし 3 のいずれか一項において、前記第 1 エネルギー光の照射は、大気中または所定のガスを充填した真空を除く雰囲気にて行うことを特徴とする半導体膜の製造方法。

【請求項 6】 請求項 1 ないし 5 のいずれか一項において、前記第 1 エネルギー光の強度が、前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えないことを特徴とする半導体膜の製造方法。

【請求項 7】 請求項 1 ないし 6 のいずれか一項において、前記第 1 エネルギー光の照射を行う工程の後、前記半導体膜表面の酸化膜を除去する工程を有することを特徴とする半導体膜の製造方法。

【請求項 8】 請求項 1 ないし 7 のいずれか一項において、前記第 2 エネルギー光の照射は、真空中にて行うことを特徴とする半導体膜の製造方法。

【請求項 9】 請求項 1 ないし 8 のいずれか一項において、前記第 2 エネルギー光の照射は、そのエネルギー光の強度が、前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えないかつ、前記第 1 エネルギー光の照射強度を越えないことを特徴とする半導体膜の製造方法。

【請求項 10】 請求項 1 ないし 9 のいずれか一項において、前記第 2 エネルギー光の照射は、ラインビームであるエネルギー光の長手方向を、第 1 エネルギー光の照射時のラインビームの長手方向とは 90 度回転させることを特徴とする半導体膜の製造方法。

【請求項 11】 請求項 1 ないし 10 のいずれかに規定する半導体膜の製造方法によって得た結晶性半導体膜から薄膜トランジスタを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項 12】 請求項 11 に規定する薄膜トランジスタの製造方法によって製造した薄膜トランジスタを有す

ることを特徴とするアクティブマトリクス基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、基板表面に形成した半導体薄膜にエネルギー光を照射してその結晶化処理、あるいは結晶性を高めるための処理を行う半導体膜の製造方法、それを用いた薄膜トランジスタ（以下、TFT という。）の製造方法、この方法で製造した TFT を用いたアクティブマトリクス基板、および半導体膜の製造方法に用いるアール装置に関するものである。

## 【0002】

【従来の技術】液晶表示装置に用いられるアクティブマトリクス基板では、基板に汎用の安価なガラス基板を用いることができるよう低温プロセスによる TFT の製造が望まれている。ここで、TFT のチャネル領域等を形成するのに必要なシリコン膜のうち、アモルファスシリコン膜については低温プロセスによって成膜できるものの、アモルファスシリコンのままでは得られる TFT の移動度が低いという欠点がある。

【0003】そこで、基板上に形成したアモルファスシリコン膜にレーザー光（エネルギー光）を照射して溶融結晶化する方法（レーザーアニール）が検討されている。このようなレーザー光による溶融結晶化においては、その照射レーザー光強度、照射雰囲気としてアモルファスシリコン膜の表面状態において、得られる結晶性半導体膜の結晶粒径や結晶性、そして表面粗さが異なる。プロセス雰囲気やアモルファスシリコン膜表面に酸素などの分子が存在すると、その分子を核とした結晶成長が起こり、粒径は拡大するが、欠陥が多い。また表面に大きな荒れが生じる。一方、表面処理によりアモルファスシリコン膜表面の酸化膜を取り除いた後、真空中にてレーザーアニールを行うと、幾分粒径は小さいが結晶性は高く、表面の荒れも小さい。これら処理条件のうち、粒径の大型化を図った場合の方が、比較的高い TFT 特性が得やすいため、大気中にてレーザーアニールが行われている。

## 【0004】

【発明が解決しようとする課題】しかしながら、従来の半導体膜の製造方法では、TFT のチャネル部に大粒径が掛からなかった場合には、その TFT 特性は低くなってしまえばつきの原因となる。また大きな表面荒れが生じるために、ゲート絶縁膜の耐圧が低下するといった問題点が生じる。

【0005】これら問題点に鑑みて、本発明の課題は、大粒径が得られてかつ、結晶性の向上を図ることによって、ばらつきを低減し、また表面荒れを抑えることによってゲート耐圧の向上が可能となる高品質な半導体膜の製造方法、それを用いた TFT の製造方法、この方法で製造した TFT を用いたアクティブマトリクス基板を提供することにある。

## 【0006】

【課題を解決するための手段】上記課題を解決するために、本発明では、基板上に半導体膜を形成する成膜工程と、前記半導体膜に対してエネルギー光を照射して結晶性半導体膜を得る半導体膜の製造方法において、前記半導体膜に第1エネルギー光の照射を行う工程と、前記第1エネルギー光の照射を行う工程の後に、前記半導体膜の表面処理を施す工程と、前記表面処理を施す工程の後に、前記半導体膜に第2エネルギー光の照射を行う工程を有することを特徴とする。

【0007】本発明では、前記半導体膜への第1エネルギー光の照射は、前記半導体膜表面の酸化膜除去処理なしで真空中にて、または大気中若しくは所定のガスを充填した真空を除く雰囲気にて、そのエネルギー光の強度が、前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えない強度によって行っているため、酸素分子等を核とした結晶成長が生じることにより、結晶の大粒化が図られる。

【0008】続いて前記半導体膜表面の酸化膜除去のための表面処理を行った後、前記半導体膜への第2エネルギー光の照射を真空中にて、そのエネルギー光の強度が前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えない強度かつ、1度目のエネルギー光の照射強度を越えない強度によって行っているため、一度目の照射によって形成された大粒径を崩すことなく、その粒内の結晶性向上と、表面の荒れ低減が図られる。

【0009】さらに前記半導体膜への第2エネルギー光の照射は、ラインビームであるエネルギー光の長手方向を、1度目のエネルギー光照射時のラインビーム長手方向とは90度回転して行っているため、ラインビームの照射跡が打ち消されることによって、一層、結晶性の均一性が向上する。

【0010】本発明では、2度の結晶化のためのエネルギー光の照射と表面処理のタイミングを組み合わせることによって、半導体膜は大粒径かつ均一性の高い結晶性を有する。それ故、このように構成した半導体膜を用いてTFTを製造すると、ばらつきのない高い電気特性を得られる。

【0011】本発明に係る結晶性半導体膜の製造方法は、この方法で得た結晶性半導体膜からTFTを製造することが好ましく、この方法で製造したTFTは、大型基板において高性能の電気特性が要求される液晶表示装置用のアクティブマトリクス基板上で駆動回路や画素スイッチング素子を構成するのに適している。

## 【0012】

【発明の実施の形態】本発明の各実施の形態を説明する前に、各形態で共通なアクティブマトリクス基板の基本的な構成、およびTFTを形成する基本的な工程を説明する。

【0013】[アクティブマトリクス基板の基本構成]

図1(A)は、液晶表示装置に用いるアクティブマトリクス基板の構成を模式的に示す説明図である。

【0014】この図において液晶表示装置1は、そのアクティブマトリクス基板2上にデータ線3および走査線4が形成されている。そして、データ線3及び走査線4には画素用薄膜トランジスタ10を介して画素電極が接続されており、画素領域5がマトリクス上に形成されている。また、そこには画素用のTFT10を介して画像信号が入力され、液晶セルの液晶容量6が構成されている。

【0015】データ線3に対しては、シフトレジスタ71、レベルシフト72、ビデオライン73、アナログスイッチ74を備えるデータドライバ部7が構成され、走査線4に対しては、シフトレジスタ81およびレベルシフト82を備える走査ドライバ部8が構成されている。なお、画素領域5には、前段の走査線4との間に保持容量25が形成されることもある。

【0016】データドライバ部7や走査ドライバ部8では、図1(B)に2段のインバータを例示するように、N型のTFTn1、n2と、P型のTFTp1、p2とによって構成されたCMOS回路などが高密度に形成される。但し、アクティブマトリクス部9のTFT10と、データドライバ部7のTFTn1、n2やP型のTFTp1、p2とは、基本的な構造が同じであり、基本的には同じ工程中で製造される。

【0017】アクティブマトリクス基板2としては、アクティブマトリクス部9だけが基板上に構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7が構成されたもの、アクティブマトリクス部9と同じ基板上に走査ドライバ部8が構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7および走査ドライバ部8の双方が構成されたものがある。また、ドライバ内蔵型のアクティブマトリクス基板2であっても、データドライバ部7に含まれるシフトレジスタ71、レベルシフト72、ビデオライン73、アナログスイッチ74等の全てがアクティブマトリクス基板2上に構成された完全ドライバ内蔵タイプと、それらの一部がアクティブマトリクス基板2上に構成された部分ドライバ内蔵タイプとがあるが、いずれに対しても本発明を適用できる。

【0018】図2は、本形態のアクティブマトリクス基板2において画素領域5が形成されているアクティブマトリクス部の一部を拡大して示す平面図であり、図3(A)は図2のA-A'線における断面図、図3(B)は図2のB-B'線における断面図である。なお、データドライバ部7などのTFTは基本的に同一の構造を有するので、その図示を省略する。

【0019】これらの図において、いずれの画素領域5におけるTFT10はデータ線3に対して層間絶縁膜11に形成されたコンタクトホール17を介して電氣的接

統するソース領域 11、画素電極 19 に対して層間絶縁膜 16 に形成されたコンタクトホール 18 を介して電気的に接続するドレイン領域 12、ドレイン領域 12 とソース領域 11 との間に位置するチャネル領域 13、およびチャネル領域 13 に対してゲート絶縁膜 14 を介して対峙するゲート電極 15 から構成されている。このゲート電極 15 は走査線 4 の一部として構成されている。なお、基板 20 の表面側には、シリコン酸化膜からなる下地保護膜 21 が形成されている。

【0020】〔アクティブマトリクス基板 2 の製造方法の基本構成〕図 4 を参照して、TFT の製造方法の基本的な工程を説明する。図 4 は、図 2 の A-A' 線における断面に対応する TFT の工程断面図である。

【0021】本例では、ガラス基板として、300mm 角の無アルカリガラス板を用いて以下の各工程を行なう（下地保護膜形成工程）図 4（A）において、まず、PECVD 法により 250～400℃の温度条件下で、ガラス基板 20 の表面に下地保護膜 21 となる膜厚が 300nm のシリコン酸化膜を形成する。シリコン酸化膜は、APCVD 法でも形成することができ、この場合には基板 20 の温度を 250℃から 450℃までの範囲に設定した状態で、モノシラン及び酸素を原料ガスとしてシリコン酸化膜を形成する。

【0022】（半導体膜堆積工程）次に、下地保護膜 21 の表面に真性のシリコン膜 30（半導体膜）を 50nm 程度堆積する。本例では、高真空型 LPCVD 装置を用いて、原料ガスであるジシランを 200SCCM 流しながら、425℃の堆積温度でアモルファスシリコン膜 30 を堆積する。なお、シリコン膜 30 の形成にあたっては、PECVD 法やスパッタ法を用いてもよく、これらの方法によれば、その成膜温度を室温から 350℃までの範囲に設定することができる。

【0023】（レーザー溶融結晶化法によるアニール工程）続いてアモルファスシリコン膜 30 にレーザー光を照射してアモルファスシリコン膜 30 を多結晶シリコンに改質する。本例では、ゼノン・クロライド（XeCl）のエキシマ・レーザー（波長が 308nm）を照射する。出力が 200W であるこのレーザービームを光学系を介することによって、長尺方向が 150mm、断面のビーム形状は上底が 0.35mm、下底が 0.45mm である台形のラインビームを形成している。そしてこのラインビームを、基板に対して上底のビーム幅以下のピッチで重なりを持ちながら、照射をしていくことによって、アモルファスシリコン膜は溶融結晶化により多結晶シリコン膜となる。

【0024】本発明では、このアニール工程のレーザー照射を 2 度に分けて行い、前後するレーザー照射の間に酸化膜除去のための表面処理を行うが、その詳細な説明は実施の形態に後述する。

【0025】（シリコン膜のパターニング工程）次に、

図 4（B）に示すように、アニール工程で多結晶化したシリコン膜 30 を、フォトリソグラフィ技術を用いてパターニングを行い、島状のシリコン膜 31 とする。

【0026】（ゲート絶縁膜の形成工程）次に、図 4（C）に示すように、PECVD 法により 250℃～400℃の温度条件下で、シリコン膜 31 に対してシリコン酸化膜からなるゲート酸化膜 14 を形成する。

【0027】（ゲート電極形成工程）次に、ゲート酸化膜 14 の表面側に膜厚が 600nm のタンタル薄膜をスパッタ法により形成した後、それをフォトリソグラフィ技術を用いてパターニングし、ゲート電極 15 を形成する。本例では、タンタル薄膜を形成する際に、基板温度を 180℃に設定し、スパッタガスとして窒素ガスを 6.7% 含むアルゴンガスを用いる。このように形成したタンタル薄膜は、結晶構造が  $\alpha$  構造であり、その比抵抗は小さい。

【0028】（不純物導入工程）次に、バケット型質量非分離型のイオン注入装置（イオンドーピング装置）を用いて、ゲート電極 15 をマスクとしてシリコン膜 31 に不純物イオンを打ち込む。N チャネル型の TFT を形成する場合には、原料ガスとして、水素ガスで濃度が 5% となるように希釈したホスフィンなどを用いる。その結果、ゲート電極 15 に対してセルフアライン的にソース領域 11 およびドレイン領域 12 が形成される。このとき、シリコン膜 31 のうち、不純物イオンが打ち込まれなかった部分がチャネル領域 13 となる。このとき、P チャネル型の TFT を形成する領域をレジストマスクで覆っておく。

【0029】逆に、P チャネル型の TFT を形成する場合には、原料ガスとして、水素ガスで濃度が 5% となるように希釈したジボランなどを用いるが、その際には N チャネル型の TFT を形成する領域をレジストマスクで覆っておく。

【0030】（層間絶縁膜の形成工程）次に、図 4（D）に示すように、PECVD 法により 250℃～400℃の温度条件下で、層間絶縁膜 16 としての膜厚が 500nm のシリコン酸化膜を形成する。このときの原料ガスは、TEOS と酸素である。

【0031】（活性化工程）次に、水素を 3% 含んだアルゴンガス雰囲気下で 400℃、1 時間の熱処理を行ない、注入したリンイオンの活性化と、層間絶縁膜 16 の改質を行なう。

【0032】（配線工程）次に、層間絶縁膜 16 にコンタクトホール 17、18 を形成する。しかる後に、図 3（A）に示したように、コンタクトホール 17、18 を介して、ソース電極（データ線 3）をソース領域 11 に電気的に接続し、ドレイン電極（画素電極 19）をドレイン領域 12 に電気的に接続し、TFT 10 を形成する。

【0033】なお、上記の製造方法は、TFT 10 をセ

ルフライン構造として製造する例であったが、TFT 10をLDD構造あるいはオフセットゲート構造で製造する場合でも本発明を適用できる。この場合の構造や製造方法についての説明を省略するが、レジスタマスクやサイドウォールを利用して、ソース・ドレイン領域のうち、ゲート電極15の端部に対峙する部分には低濃度ソース・ドレイン領域(LDD領域)、あるいはオフセット領域を形成する。

【0034】[レーザー照射時のエネルギー密度と膜質] 次に、図4(A)を参照して説明したアニール工程において、アモルファスのシリコン膜30に照射したレーザー光のエネルギー密度(エネルギー強度)と、レーザー照射後の膜質との関係を、図5ないし図6を参照して説明しておく。

【0035】本発明のいずれの形態でも、後述するように、アモルファスのシリコン膜をレーザー溶融結晶化法により多結晶化させるが、このレーザー溶融結晶化法では、図5に示すように、エネルギー密度Eを増加させていくと、「▲」および点線L1で示すE以上でシリコン膜には溶融凝固が起こって多結晶化する。ここで、エネルギー密度Eを増加させるほど、その多結晶化が進むが、エネルギー密度Eが「□」および点線L2で示すEaを超えるとシリコン膜は微結晶化し、移動度の低下が起きてしまう。

【0036】また、シリコン膜の膜厚が薄い場合には、エネルギー密度EがEaを超えなくても、エネルギー密度Eが「○」および点線L3で示すEbを超えると、アモルファスシリコン膜に変わってしまう。なお、エネルギー密度Eが「△」および点線L4で示すEdを超えると、シリコン膜は蒸発、アブレーションしてしまう。

【0037】また、パルス発振レーザー光のエネルギー密度Eを変えたときのシリコン膜の結晶性と表面粗さを図6に示す。ここで「○」と図6(A)の実線L11と同図(B)のL13によって示したのは、レーザー照射の前に酸化膜除去のための表面処理を行った後、レーザー照射を真空中にて行った結果であり、同じく「●」と図6(A)の実線L12と同図(B)のL14によって示したのは、レーザー照射の前に表面処理を行わず、レーザー照射を真空中にて行った結果である。また大気中や何らかのガスを充填した雰囲気にてレーザー照射を行っても後者と同等な結果となる。

【0038】図6(A)の縦軸は、ラマンピークの半値幅であるから、その値が小さいほど、結晶性が高いことを表す。また図6(B)の縦軸は、ラマンピークの強度であるから、その値が小さいほど、半導体膜表面からの散乱光が少ないということで、表面荒れが小さいことを表す。

【0039】これらの結果を比較してわかるように、レーザー溶融結晶化では、エネルギー密度Eの最高値を上

限値Eaにかなり近い値に設定すれば、その結晶性を高めることができ、アモルファス膜表面処理を行った後にレーザー照射を真空中にて行った方がより高い結晶性が得られる。ラマンピークの半値幅が上限値Eaをわずかに越えた付近で緩やかに上がっているのが、シリコン膜の微結晶化が生じている状態である。

【0040】一方で表面荒れはエネルギー密度Eが上限値Eaよりわずかに低いエネルギー密度において最大となり、特にレーザー照射の前に表面処理を行わずにレーザー照射を真空中にて行うか、大気中または何らかのガスを充填した雰囲気にてレーザー照射を行う場合においては一段と顕著である。

【0041】TFT 10の特性を決定せしめる条件として、シリコン膜30の結晶性は高い方が好ましいのであるが、それ以上に半導体膜を形成する結晶粒の大きさの影響が大きい。概して結晶粒の大型化を図る上ではプロセス雰囲気やアモルファスシリコン膜表面に酸素などの分子が存在する方が、その分子を核とした結晶成長が起るため、容易に大粒化が図られる。そのため前記した結晶性ないし表面粗さといった問題があるにしろ、大気中でのレーザー照射や、アモルファス膜表面処理を行わずに結晶化を行っている。

【0042】しかしながらこのような結晶化の手法であつては、大型化した結晶粒がTFT 10のチャネル部に位置した場合と、大型結晶粒間を埋める様に存在する小型の結晶粒群がTFT 10のチャネル部に位置した場合とではTFT 10の電気特性に差が生じ、ばらつきの原因となってしまう。特に前記したように、この場合得られる小型の結晶粒群の結晶性は高くないので、その影響は顕著である。また半導体膜表面に大きな表面荒れが生じてしまうことに對しても、これを覆うゲート絶縁膜の電気的耐圧が低下してしまう問題が発生する。

【0043】そこで、本発明では、レーザー照射を2度行うことを特徴としており、1度目の照射の前にはアモルファス膜の表面処理を行わずにレーザー照射を真空中にて行うか、大気中または何らかのガスを充填した雰囲気にてレーザー照射を行うことにして結晶粒の大型化を図る。続いて2度目の照射の前に、1度目の照射で得られた多結晶シリコン膜の表面処理を行い、酸化膜除去を行った後、2度目のエネルギー光の照射を真空中にて行う。そしてこの時のエネルギー光強度は、半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えない強度であると共に、1度目のエネルギー光の照射強度を越えない強度とすることで、一度目の照射によって形成された大粒を崩すことなく、その粒内の結晶性向上と、表面の荒れ低減を図り、高品質な結晶性半導体膜を、ばらつきなく形成できるようにしている。

【0044】【実施例1】LPCVD装置を用いて成膜されたアモルファスシリコン膜30は、表面の処理をすることなく、レーザーアニール装置へと搬入する。1度

目のレーザー照射の雰囲気は真空であり、照射エネルギー密度は図6においてEaで示した上限値である。この照射により結晶粒の大型化が図られる。

【0045】 続いて取り出された多結晶シリコン膜には酸化物を取り除くための表面処理として、5%程度の希フッ酸溶液によって数十秒程度のエッチングを行う。この表面処理に続いてすぐさま再度レーザーアニール装置へと搬入し、2度目のレーザー照射を真空雰囲気にて行う。照射エネルギー密度は同じく図6において上限値Eaより10mJ/cm<sup>2</sup>程低くすることによって、その結晶性は1度目の大気中でEaによる照射に比べて向上し、多結晶シリコン膜からの信号強度も半分以上に低下する。

【0046】 ここで図6はアモルファスシリコン膜へのレーザー照射の結果であって、厳密には多結晶シリコン膜にレーザー照射を行った場合とは、低エネルギー密度領域の様子が幾分異なるのであるが、上限値Eaの発現するエネルギー密度と、その前後の様子はアモルファスシリコン膜へのレーザー照射の結果と同じとみなせる。

【0047】 これにより大粒化された粒内の結晶性向上はもちろん、その周辺にある小型の結晶粒群ならびにその粒界の結晶性が向上することによって、TFT特性自体の向上と共に、基板内の素子ばらつき低減が図られる。

【0048】 また、照射を行うレーザー光としてラインビームを用いているため、2度目のエネルギー光の照射は、ラインビームの長手方向を、1度目のレーザー照射のラインビーム長手方向とは90度回転している。これによってラインビームに生じている細かなエネルギー分布など不均一性を取り除くことが可能となり、基板内の結晶性の均一性向上に効果がある。

【0049】 この方法によって得られたTFT10の特性を図7に示す。実線で示したのが本発明を用いた結果であり、破線で示した1度の照射のみによって得られた半導体膜から作成されたTFTに比べて、結晶性の向上に起因すると思われる立ち上がり特性の向上が見られる。

【0050】

【発明の効果】 以上説明したように、本発明に係るアクティブマトリクス基板では、多結晶シリコン膜を得るためのエネルギー光照射を表面処理を前後して2回行うことによって、結晶粒を大型化し、かつ高い結晶性を有す

る高品質な結晶性半導体膜を形成することができ、高い移動度のTFTを均一よく製造することができる。

【図面の簡単な説明】

【図1】 (A)は、液晶表示装置のアクティブマトリクス基板を模式的に示す説明図、(B)は、その駆動回路に用いたCMOS回路の説明図である。

【図2】 液晶表示装置のアクティブマトリクス基板上の画素領域を拡大して示す平面図である。

【図3】 (A)は、図2のA-A'線における断面図、(B)は、図2のB-B'線における断面図である。

【図4】 本発明の実施例において、図2の示すA-A'線における断面に対するTFTの工程断面図である。

【図5】 レーザー溶融結晶化におけるエネルギー密度とシリコン膜に起きる変化との関係を示す説明図である。

【図6】 レーザー溶融結晶化におけるエネルギー密度と結晶性と表面粗さの関係を示すグラフである。

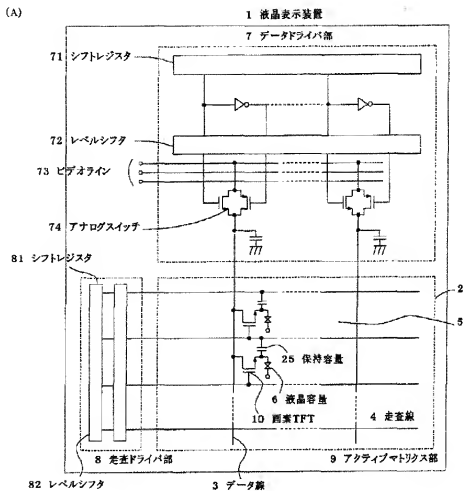
【図7】 本発明の実施例に係る結晶性半導体膜を用いて作成したTFTの電気特性を示すグラフである。

【符号の説明】

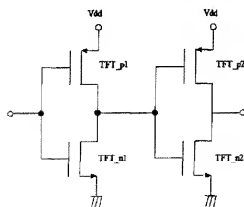
- 1 液晶表示装置
- 2 アクティブマトリクス基板
- 3 データ線
- 4 走査線
- 5 画素領域
- 6 液晶容量
- 9 アクティブマトリクス部
- 10 TFT
- 11 ソース領域
- 12 ドレイン領域
- 13 チャネル領域
- 14 ゲート絶縁膜
- 15 ゲート電極
- 16 層間絶縁膜
- 17、18 コンタクトホール
- 19 画素電極
- 20 ガラス基板
- 21 下地保護膜
- 25 保持容量
- 30 シリコン膜(シリコン膜30)
- 31 島状のシリコン膜(シリコン膜30)



【図1】

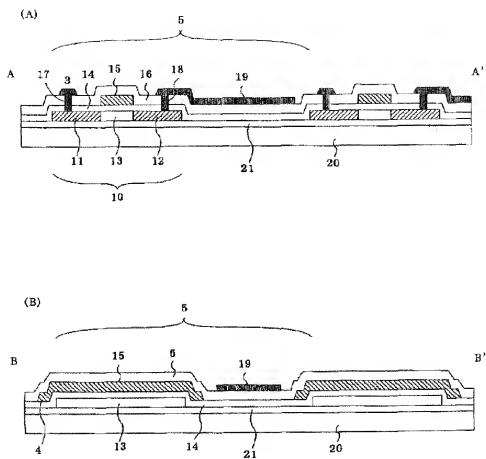


(B)

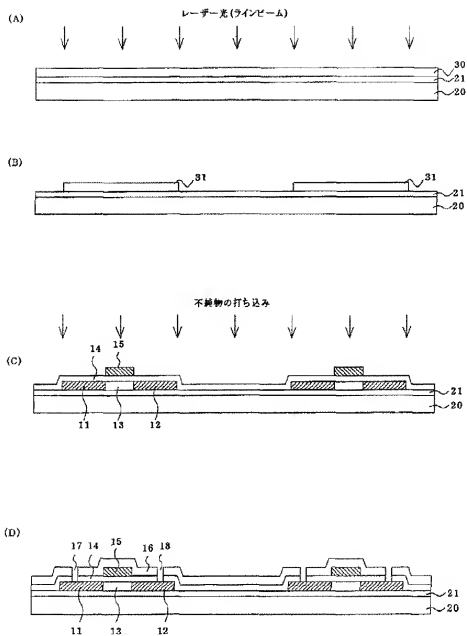




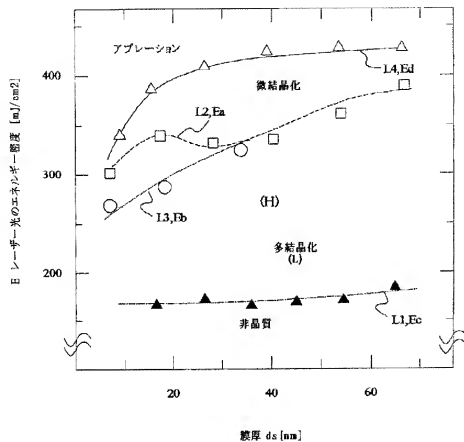
【図 3】



【図 4】

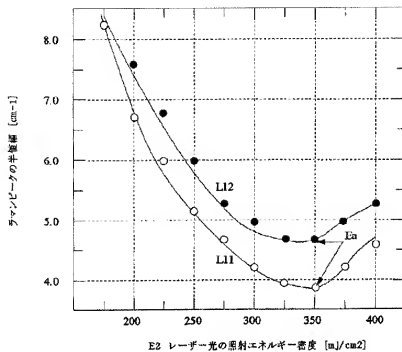


【図 5】

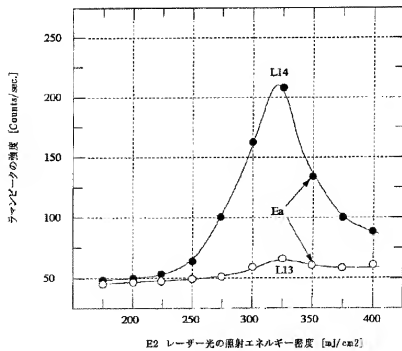


【図6】

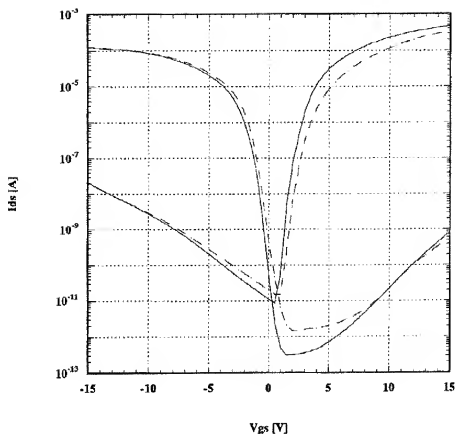
(A)



(B)



【図 7】



フロントページの続き

(51)Int. Cl.<sup>7</sup>  
H01L 21/336

識別記号

F I

シーコード' (参考)

F ターム (参考) 2H092 JA24 JA34 KA05 MA07 MA09  
MA29 MA30 NA24 NA27  
5C094 AA21 BA03 BA43 CA19 DA09  
DA13 DB04 EB02 FB03 FB14  
GB10 JA09  
5F052 AA02 BA02 BA07 BB07 CA04  
CA07 DA02 DB02 EA11 EA15  
FA19 MA01 JA01  
5F110 AA01 BB02 CC02 DD02 DD13  
DD24 EE04 EE44 FF02 FF30  
GG02 GG13 GG25 GG47 HJ01  
HJ23 NN02 NN04 NN23 NN35  
PP04 PP05 PP06 PP29 PP31  
QQ09 QQ11

- (19) Japanese Patent Office (JP)  
 (12) Publication of Unexamined Patent Application (A)  
 (11) Patent Application Laid-Open No.: 2000-340503 (P2000-340503A)  
 (43) Laid-Open Date: December 8, 2000

| (51) Int. Cl. <sup>7</sup> | Discrimination Mark | FI            | Theme Code (reference) |
|----------------------------|---------------------|---------------|------------------------|
| H 01 L 21/20               |                     | H 01 L 21/20  | 2H092                  |
| G 02 F 1/136               | 500                 | G 02 F 1/136  | 5C094                  |
| G 09 F 9/30                | 338                 | G 09 F 9/30   | 5F052                  |
| H 01 L 21/268              |                     | H 01 L 21/268 | F 5F110                |
| 29/786                     |                     | 29/78         | 627G                   |

Request of Examination: not requested

The Number of Claims: 12 OL (13 pages in total)

Continued on the last page

- (21) Application No.: Hei 11-146394  
 (22) Application Date: May 26, 1999  
 (71) Applicant: 000002369  
                   Seiko Epson Corporation  
                   2-4-1, Nishishinjyuku, Shinjyuku-ku, Tokyo  
 (72) Inventor: Hiroyuki Abe  
                   c/o Seiko Epson Corporation  
                   3-3-5, Yamato, Suwa-shi, Nagano  
 (74) Agent: 100093388  
               Patent Attorney: Kisaburo SUZUKI (two others)

Continued on the last page

(54) [Title of the Invention] Method for Manufacturing Semiconductor Film, Method for Manufacturing Thin Film Transistor, Active Matrix Substrate

(57) [ABSTRACT]

[Object] It is an object to provide a method for manufacturing a high-quality semiconductor film which has a larger grain size, has high crystallinity, and has less surface roughness.

[Solving Means] Energy beam irradiation for obtaining a polycrystalline silicon film is carried out twice, where the first irradiation is carried out in vacuum without treatment for removing an oxide film at the surface of a semiconductor film, or carried out in the air or in an atmosphere except vacuum, filled with some gas. Before the second irradiation, surface treatment for the semiconductor film is carried out, and after removing an oxide film, the second irradiation is carried out in vacuum. Furthermore, the intensity of the second energy beam irradiation is adapted not to exceed the irradiation intensity of the first energy beam.

[Scope of Claims]

[Claim 1] A method for manufacturing a semiconductor film, the method comprising a deposition step of forming a semiconductor film on substrate, and irradiating the semiconductor film with an energy



beam to obtain a crystalline semiconductor film, characterized in that the method comprises the steps of: carrying out first energy beam irradiation for the semiconductor film; subjecting the semiconductor film to a surface treatment after the step of carrying out the first energy beam irradiation; and carrying out second energy beam irradiation for the semiconductor film after the step of subjecting the semiconductor film to the surface treatment.

[Claim 2] The method for manufacturing a semiconductor film according to claim 1, characterized in that at least one of the first and second energy beams is a laser beam.

[Claim 3] The method for manufacturing a semiconductor film according to claim 2, characterized in that the laser beam is a line beam.

[Claim 4] The method for manufacturing a semiconductor film according to any one of claims 1 to 3, characterized in that the first energy beam irradiation is carried out in vacuum.

[Claim 5] The method for manufacturing a semiconductor film according to any one of claims 1 to 3, characterized in that the first energy beam irradiation is carried out in the air or in an atmosphere except vacuum, filled with a predetermined gas.

[Claim 6] The method for manufacturing a semiconductor film according to any one of claims 1 to 5, characterized in that the intensity of the first energy beam does not exceed a threshold of an energy intensity at which micro crystallization of the semiconductor film occurs.

[Claim 7] The method for manufacturing a semiconductor film according to any one of claims 1 to 6, characterized in that it comprises a step of removing an oxide film at a surface of the semiconductor film after the step of carrying out the first energy beam irradiation.

[Claim 8] The method for manufacturing a semiconductor film according to any one of claims 1 to 7, characterized in that the second energy beam irradiation is carried out in vacuum.

[Claim 9] The method for manufacturing a semiconductor film according to any one of claims 1 to 8, characterized in that the intensity of the energy beam in the second energy beam irradiation does not exceed the threshold of the energy intensity at which micro crystallization of the semiconductor film occurs, and does not exceed the irradiation intensity of the first energy beam.

[Claim 10] The method for manufacturing a semiconductor film according to any one of claims 1 to 9, characterized in that the longitudinal direction of the energy beam as the line beam in the second energy beam irradiation is rotated by 90 degrees with respect to the longitudinal direction of the line beam in the first energy beam irradiation.

[Claim 11] A method for manufacturing a thin film transistor, characterized in that a thin film transistor is formed using a crystalline semiconductor film obtained by the method for manufacturing a semiconductor film according to any one of claims 1 to 10.

[Claim 12] An active matrix substrate characterized in that it comprises a thin film transistor manufactured by the method for manufacturing a thin film transistor according to claim 11.

#### [Detailed Description of the Invention]

[0001]

[Field of the Invention] The present invention relates to a method for manufacturing a semiconductor film in which a semiconductor thin film formed on a substrate surface is irradiated with an energy beam to carry out crystallization treatment or treatment for improving the crystallinity, a method for manufacturing a thin film transistor (hereinafter, referred to as a TFT) with the use of the semiconductor film, an active matrix

substrate with the TFT manufactured according to the method, and an annealing apparatus for use in the method for manufacturing the semiconductor film.

[0002]

[Prior Art] For active matrix substrates for use in liquid crystal display devices, TFT manufacture according to low-temperature processes has been desired for the purpose of the use of inexpensive general-purpose glass substrates as the substrates. In such a cases, for silicon films required for forming channel regions etc. of TFTs, amorphous silicon films can be formed by low-temperature processes, while the films have the drawbacks of low mobility of TFTs obtained directly from amorphous silicon.

[0003] Thus, a method (laser annealing) has been considered in which an amorphous silicon film formed on a substrate is irradiated with a laser beam (energy beam) for melting crystallization. In such melting crystallization with a laser beam, the crystal grain size, crystallinity, and surface roughness of a crystalline semiconductor film obtained vary depending on the intensity of the irradiation laser beam, the irradiation atmosphere, and the surface condition of the amorphous silicon film. The existence of molecules such as oxygen in the process atmosphere or on the surface of the amorphous silicon film will lead to crystal growth with the molecules as nuclei, resulting in increase in grain size, but with many defects. Furthermore, significant roughness will be caused on the surface. On the other hand, when laser annealing is carried out in vacuum after removing by surface treatment an oxide film on the surface of the amorphous silicon film, the grain size will be somewhat small, but with high crystallinity and low surface roughness. Above all, the treatment condition for making the grain size larger results in relatively high TFT characteristics more easily. Therefore, laser annealing is carried out in the air.

[0004]

[Problem to be solved by the Invention] However, in the conventional methods for manufacturing a semiconductor film, in a case in which the channel portions of the TFTs fail to cover large grain sizes, the TFT characteristics will lower, causing variation from TFT to TFT. Furthermore, high surface roughness caused will result in problems such as decrease in the withstand voltage of the gate insulating film.

[0005] In view of these problems, an object of the present invention is to provide a method for manufacturing a high-quality semiconductor film, which allows for obtaining large grain sizes and reducing the variation by improving the crystallinity, as well as improving the gate threshold voltage by reducing the surface roughness, a method for manufacturing a TFT with the use of the semiconductor film, and an active matrix substrate with the TFT manufactured according to the method.

[0006]

[Means for Solving the Problem] In order to solve the problems described above, the present invention provides a method for manufacturing a semiconductor film, the method comprising a deposition step of forming a semiconductor film on substrate, and irradiating the semiconductor film with an energy beam to obtain a crystalline semiconductor film. The method is characterized in that the method comprises the steps of: carrying out first energy beam irradiation for the semiconductor film; subjecting the semiconductor film to a surface treatment after the step of carrying out the first energy beam irradiation; and carrying out second energy beam irradiation for the semiconductor film after the step of subjecting the semiconductor film to the surface treatment.

[0007] In the present invention, the semiconductor film is irradiated with the first energy beam in vacuum, or in the air, or in an atmosphere except vacuum, filled with a predetermined gas without treatment for removing an oxide film on the surface of the semiconductor film, in such a way that the intensity of the energy beam does not exceed the threshold of the energy intensity at which micro crystallization of the

semiconductor film occurs. Therefore, crystal growth with oxygen molecules or the like as nuclei can make the grain sizes of the crystals larger.

[0008] Subsequently, after carrying out surface treatment for removing an oxide film on the surface of the semiconductor film, the semiconductor film is irradiated with the second energy beam in vacuum, in such a way that the intensity of the energy beam does not exceed the threshold of the energy intensity at which micro crystallization of the semiconductor film occurs, and does not exceed the irradiation intensity of the first energy beam. Therefore, improvement of the crystallinity in the grains and reduction in surface roughness can be achieved without destroying the large grain size formed by the first irradiation.

[0009] Furthermore, the longitudinal direction of the energy beam as the line beam in the irradiation of the semiconductor film with the second energy beam is rotated by 90 degrees with respect to the longitudinal direction of the line beam in the first energy beam irradiation. Therefore, the elimination of the irradiation track with line beam further improves the uniformity of the crystallinity.

[0010] In the present invention, the combination of the two-step energy beam irradiation for crystallization with the timing of the surface treatment result in the semiconductor film with the large grain sizes and the highly uniform crystallinity. Therefore, when TFTs are manufactured with the use of the thus formed semiconductor film, great electrical characteristics can be obtained without variation from TFT to TFT.

[0011] The method for manufacturing a crystalline semiconductor film according to the present invention is preferable for manufacturing TFTs from a crystalline semiconductor film obtained by this method, and the TFTs manufactured by the method is preferable for constituting driving circuits and pixel switching elements on active matrix substrates for liquid crystal display devices which require highly efficient electrical characteristics in large-sized substrates.

[0012]

[Embodiment Modes of the Invention] Prior to describing each embodiment mode of the present invention, the basic structure configuration of an active matrix substrate and the basic steps for forming TFTs will be described which are common to each mode.

[0013] [Basic Configuration of Active Matrix Substrate] FIG. 1(A) is an illustration diagram schematically illustrating the configuration of an active matrix substrate for use in a liquid crystal display device.

[0014] In the figure, a liquid crystal display device 1 has data lines 3 and scan lines 4 formed on an active matrix substrate 2, and a pixel electrode is connected via a pixel thin film transistor 10 to each of the data lines 3 and each of the scan lines 4 to form a pixel region 5 on the matrix. Furthermore, a pixel signal is input thereto via the pixel thin film transistor 10 to create a liquid crystal capacitance 6 of a liquid crystal cell.

[0015] For the data lines 3, a data driver portion 7 is configured which includes a shift register 71, a level shifter 72, video lines 73, and analog switches 74, whereas for the scan lines 4, a scan driver portion 8 is configured which includes a shift register 81 and a level shifter 82. It is to be noted that a retention capacitance 25 may be formed between the pixel region 5 and the scan line 4 in the previous stage.

[0016] In the data driver portion 7 and the scan driver portion 8, CMOS circuits composed of N-type TFTs n1 and n2 and P-type TFTs p1 and p2, etc. are densely formed, like a two-stage inverter exemplified in FIG. 1(B). However, the TFT 10 in an active matrix portion 9 and the TFTs n1 and n2 and the P-type TFTs p1 and p2 in the data driver portion 7 have the same basic structure, and are fundamentally manufactured in the same step.

[0017] As the active matrix substrate 2, a substrate on which only the active matrix portion 9 is configured, a substrate on which the data driver portion 7 is configured along with the active matrix portion 9, a

substrate on which the scan driver portion 8 is configured along with the active matrix portion 9, and a substrate on which both the data driver portion 7 and the scan driver portion 8 are configured along with the active matrix portion 9 can be cited. Even in the case of the built-in driver type active matrix substrate 2, a completely built-in driver type with all of the shift register 71, the level shifter 72, the video lines 73, the analog switches 74, etc. included in the data driver portion 7 configured on the active matrix substrate 2, and a partially built-in driver type with some of them configured on the active matrix substrate 2 can be cited. The present invention can be applied to any of these substrates.

[0018] FIG. 2 is a plan view illustrating an enlarged portion of the active matrix portion in which the pixel regions 5 are formed in the active matrix substrate 2 according to the present embodiment, where FIG. 3(A) is a cross-sectional view taken along the line A-A' line in FIG. 2, whereas FIG. 3(B) is a cross-sectional view taken along the line B-B' line in FIG. 2. It is to be noted that the TFTs of the data driver portion 7, etc. have the basically same structure, and the illustration of the TFTs will be thus omitted.

[0019] In the figures, the TFT 10 in each pixel region 5 is composed of a source region 11 electrically connected to the data line 3 via a contact hole 17 formed in an interlayer insulating film 16, a drain region 11 electrically connected to a pixel electrode 19 via a contact hole 18 formed in the interlayer insulating film 16, a channel region 13 located between the drain region 12 and the source region 11, and a gate electrode 15 over the channel region 13 with a gate insulating film 14 interposed therebetween. This gate electrode 15 is configured as a part of the scan line 4. Further, a base protective film 21 composed of a silicon oxide film is formed on the surface side of a substrate 20.

[0020] [Basic Configuration of Method for Manufacturing Active Matrix Substrate 2] Basic steps of a method for manufacturing TFTs will be described with reference to FIG. 4. FIG. 4 is cross-sectional views of steps for a TFT, which correspond to the cross section along the line A-A' in FIG. 2.

[0021] In this example, a non-alkali glass plate 300 mm on a side is used as a glass substrate to carry out each step below (Base Protective Film Forming Step) In FIG. 4(A), a silicon oxide film 300nm in film thickness, which will serve as the base protective film 21, is first formed on the surface of the glass substrate 20 by PECVD under the temperature condition of 250 to 400 °C. The silicon oxide film can also be formed by APCVD, and in this case, a silicon oxide film is formed with monosilane and oxygen as a source gas, with the temperature of the substrate 20 set in the range of 250 °C to 450 °C.

[0022] (Semiconductor Film Deposition Step) Next, an intrinsic silicon film 30 (semiconductor film) on the order of 50 nm is deposited on the surface of the base protective film 21. In this example, a high vacuum LPCVD apparatus is used to deposit an amorphous silicon film at a deposition temperature 425 °C while flowing disilane as a source gas at 200 SCCM. It is to be noted that PECVD and sputtering may be used for the formation of the silicon film 30, and according to these methods, their deposition temperatures can be set in the range of room temperature to 350 °C.

[0023] (Annealing Step through Laser Melting Crystallization) Subsequently, the amorphous silicon film 30 is irradiated with a laser beam to modify the amorphous silicon film 30 into polycrystalline silicon. In the example, the amorphous silicon film 30 is irradiated with xenon chloride (XeCl) excimer laser (wavelength 308 nm). This laser beam with an output of 200 W is formed, through an optical system, into a line beam which is 150 mm in the longitudinal direction and has a cross section in a trapezoidal shape with an upper base of 0.35 mm and a lower base of 0.45 mm. Then, the amorphous silicon film is made into a polycrystalline silicon film through melting crystallization, by irradiating the substrate with this line beam while overlapping the line beam at a pitch of the beam width of the upper base or less.

[0024] In the present invention, the laser irradiation in the annealing step is carried out twice, and surface treatment for removal of an oxide film is carried out between the former laser irradiation and the latter laser irradiation. A detailed description thereof will be described later in the embodiment mode.

[0025] (Patterning Step for Silicon Film) Next, as shown in FIG. 4(B), the silicon film 30 poly-crystallized in the annealing step is subjected to patterning with the use of a photolithography technique, into island-shaped silicon films 31.

[0026] (Step of Forming Gate Insulating Film) Next, as shown in FIG. 4(C), a gate oxide film 14 composed of a silicon oxide film is formed on the silicon films 31 by PECVD under the temperature condition of 250 °C to 450 °C.

[0027] (Gate Electrode forming Step) Next, after a tantalum thin film 600 nm in film thickness is formed by sputtering on the surface side of the gate oxide film 14, the tantalum thin film is subjected to patterning with the use of a photolithography technique to form gate electrodes 15. In this example, when the tantalum thin film is formed, the substrate temperature is set to 180 °C, and argon gas containing 6.7 % nitrogen gas is used as a sputtering gas. The thus formed tantalum thin film has a crystal structure of  $\alpha$  structure, and a small specific resistance.

[0028] (Impurity Introduction Step) Next, a bucket non-mass separation type ion implantation apparatus (an ion doping apparatus) is used to implant impurity ions into the silicon film 31 with the gate electrodes 15 as a mask. In a case in which an N-channel type TFT is to be formed, phosphine diluted with hydrogen gas into a concentration of 5% is used as a source gas. As a result, the source region 11 and the drain region 12 are formed in a self-alignment manner with respect to the gate electrode 15. At this time, a portion of the silicon film 31 into which no impurity ions are implanted will serve as a channel region. At this time, a region where a P-channel type TFT is to be formed is covered with a resist mask.

[0029] In an opposite manner, in a case in which an P-channel type TFT is to be formed, diborane diluted with hydrogen gas into a concentration of 5% is used as a source gas. In this case, the region in which the N-channel type TFT is formed is covered with a resist mask.

[0030] (Step for Forming Interlayer Insulating Film) Next, as shown in FIG. 4(D), a silicon oxide film 500 nm in film thickness as an interlayer insulating film 16 is formed by PECVD under the temperature condition of 250 °C to 400 °C. The source gas in this case is TEOS and oxygen.

[0031] (Activation Step) Next, heat treatment is carried out at 400 °C for one hour under an argon atmosphere containing 3% hydrogen to activate the implanted phosphorus ions and modify the interlayer insulating film 16.

[0032] (Wiring Step) Next, contact holes 17 and 18 are formed in the interlayer insulating film 16. Thereafter, as shown in FIG. 3(A), a source electrode (the data line 3) and a drain electrode (the pixel electrode 19) are electrically connected to the source region 11 and the drain region 12 through the contact holes 17 and 18, respectively to form the TFT 10.

[0033] It is to be noted that although the manufacturing method described above is an example in which the TFT 10 is manufactured as a self-alignment structure, the present invention can be applied in a case in which the TFT 10 is manufactured to have an LDD structure or an offset gate structure. A description of the structure and manufacturing method in this case will be omitted, where a resist mask or sidewalls are utilized to form lightly doped drain regions (LDD regions) or offset regions in portions of the source and drain regions which stand face to face with the ends of the gate electrode 15.

[0034] [Energy Density During Laser Irradiation and Film Quality] Next, the relationship between the energy density (energy intensity) of the laser beam with which the amorphous silicon film 30 is irradiated

and the film quality after the laser irradiation in the annealing step described with reference to FIG. 4(A) will be described with reference to FIGS. 5 and 6.

[0035] In any mode of the present invention, an amorphous silicon film is poly-crystallized by laser melting crystallization, as will be described later. In this laser melting crystallization, as shown in FIG. 5, with increase in energy density E, the silicon film is melted and coagulated to become polycrystalline with  $E_c$  represented by a symbol "▲" and an alternate long and short dash line L1 or more. In this case, the more the energy density E is increased, the more the poly-crystallization proceeds. However, when the energy density E exceeds  $E_a$  represented by a symbol "□" and a dotted line L2, the silicon film will undergo micro crystallization, leading to decrease in mobility.

[0036] Furthermore, in a case in which the film thickness of the silicon film is small, the silicon film returns to an amorphous silicon film when the energy density E exceeds  $E_b$  represented by a symbol "○" and an alternate long and two short dashes line L3, even if the energy density E does not exceed  $E_a$ . It is to be noted that the silicon film will be evaporated and ablated when the energy density E exceeds  $E_d$  represented by a symbol "△" and a solid line L4.

[0037] Furthermore, the crystallinity and surface roughness of the silicon film in the case of changing the energy density E of pulsed oscillation laser beams are shown in FIG. 6, where a symbol "○", a solid line L11 in FIG. 6(A), and a line L13 in FIG. 6(B) show results of carrying out surface treatment for removal of an oxide film before laser irradiation, and then carrying out laser irradiation in vacuum, whereas a symbol "●", a solid line L12 in FIG. 6(A), and a line L14 in FIG. 6(B) show results of carrying out laser irradiation in vacuum without carrying out surface treatment before laser irradiation. Furthermore, carrying out laser irradiation in the air or an atmosphere filled with some gas will provide results equivalent to the latter.

[0038] The vertical axis of FIG. 6(A) represents the half value width of a Raman peak. Therefore, FIG. 6(A) shows that the smaller the half value width is, the higher the crystallinity is. Furthermore, the vertical axis of FIG. 6(B) represents the intensity of a Raman peak. Therefore, FIG. 6(B) shows that the smaller the value of the intensity is, the less the light scattered from the semiconductor film surface is, that is, the smaller the surface roughness is.

[0039] As can be seen from comparison of these results, in the laser melting crystallization, setting the highest value of the energy density E to a value fairly close to the upper limit  $E_a$  allows the crystallinity to be increased, and carrying out laser irradiation in vacuum after carrying out surface treatment for the amorphous film results in higher crystallinity. The half value width of the Raman peak soars just after slightly exceeding the upper limit  $E_a$ , which shows that micro crystallization of the silicon film is caused.

[0040] On the other hand, the surface roughness reaches its maximum at an energy density slightly lower than the upper limit  $E_a$  of the energy density E, which is rather significant in particular in the case of carrying out laser irradiation in vacuum without carrying out surface treatment before the laser irradiation, or in the case of carrying out laser irradiation in the air or in an atmosphere filled with some gas.

[0041] As a condition which determines characteristics of the TFT 10, it is preferable that the silicon film 30 has higher crystallinity. However, the size of crystal grains forming the semiconductor film further has a much greater impact. In general, in order to try to make the crystal grains larger, the existence of molecules such as oxygen in a process atmosphere or on the surface of the amorphous silicon film easily make the grain size larger, because crystal growth is developed with the molecules as nuclei. Therefore, in spite of the problems such as the crystallinity and surface roughness described above, crystallization is carried out laser without irradiation in the air or carrying out surface treatment for the amorphous film.

[0042] However, in such crystallization approaches, differences in the electrical characteristics of the TFT 10 are caused between a case in which larger crystal grains are located in the channel portion of the TFT 10 and a case in which a group of smaller crystal grains existing to bridge spaces between larger crystal grains are located in the channel portion of the TFT 10, which will cause variations. As especially described above, the crystallinity of a group of small crystal grains obtained in this case is not high, which has a significant impact. Furthermore, large surface roughness caused at the surface of the semiconductor film will cause a problem of decrease in the withstand voltage of the gate insulating film covering this semiconductor film.

[0043] Thus, the present invention is characterized in that laser irradiation is carried out twice, where crystal grains are made larger by carrying out laser irradiation in vacuum or carrying out laser irradiation in the air or in an atmosphere filled with some gas, without carrying out surface treatment of the amorphous film before the first irradiation. Subsequently, surface treatment for the polycrystalline silicon film obtained by the first irradiation is carried out before the second irradiation, and after removing the oxide film, the second laser beam irradiation is carried out in vacuum. The energy beam intensity in this case is an intensity which does not exceed the threshold of the energy intensity at which micro crystallization of the semiconductor film occurs, and also an intensity which does not exceed the irradiation intensity of the first energy beam, thereby without destroying the large crystal grains formed by the first irradiation, allowing for improvement in the crystallinity in the grains and reduction in the surface roughness and allowing high-quality crystalline semiconductor film to be formed without variation from film to film.

[0044] [Embodiment 1] The amorphous silicon film 30 deposited with the use of an LPCVD apparatus is brought into a laser annealing apparatus without any surface treatment. The atmosphere for the first laser irradiation is in vacuum, and the irradiation energy density is the upper limit represented by  $E_a$  in FIG. 6. This irradiation makes the crystal grains larger.

[0045] Subsequently, the polycrystalline silicon film taken out is subjected to etching with a diluted hydrofluoric acid solution on the order of 5% for approximately several tens of seconds, as surface treatment for removing an oxide film. Immediately following this surface treatment, the silicon film is again brought into the laser annealing apparatus, where the second laser irradiation is carried out in a vacuum atmosphere. The irradiation energy density is likewise about  $10 \text{ mJ/cm}^2$  lower than the upper limit  $E_a$  in FIG. 6, thereby improving the crystallinity as compared with the first irradiation at  $E_a$  in the air and decreasing the signal intensity from the polycrystalline silicon film to the half or less.

[0046] FIG. 6 here shows the result of the laser irradiation for the amorphous silicon film, and in a narrow sense, which are somewhat different in the behavior of the low energy density region from in the case of the laser irradiation for the polycrystalline silicon film. However, the energy density developing the upper limit  $E_a$  and the behavior around the upper limit  $E_a$  can be regarded as the same result as that of the laser irradiation for the amorphous silicon film.

[0047] Thus, improvement in the crystallinity in the grains which have sizes made larger, as well as improvement in the crystallinity of a group of smaller crystal grains around the larger grains and the crystallinity at grain boundaries result in improvement in TFT characteristics themselves and reduce variation from element to element in the substrate.

[0048] Furthermore, since the line beam is used as the laser beam for carrying out the irradiation, the longitudinal direction of the line beam in the second energy beam irradiation is rotated by 90 degrees with respect to the longitudinal direction of the line beam in the first laser irradiation. This allows uniformity

such as a fine energy distribution caused in the line beam to be removed, which is effective for improving the uniformity of the crystallinity in the substrate.

[0049] Characteristics of the TFT 10 which are obtained by this method are shown in FIG. 7. The characteristics represented by the solid line result from the use of the present invention, from which improvement in rising characteristics which seems to arise from improvement in the crystallinity can be observed, as compared with characteristics represented by a dashed line for a TFT created from a semiconductor film obtained by irradiation only once.

[0050]

[Advantageous Effect of the Invention] As described above, for the active matrix substrate according to the present invention, carrying out the energy beam irradiation for obtaining a polycrystalline silicon film twice before and after the surface treatment makes it possible to make the crystal grains larger and form a high-quality crystalline semiconductor film with higher crystallinity, allowing high mobility TFTs to be manufactured uniformly.

[Brief Description of the Drawings]

[FIG. 1] (A) is an illustration diagram schematically illustrating an active matrix substrate of a liquid crystal display device; and (B) is an illustration diagram of a CMOS circuit used in a driving circuit thereof.

[FIG. 2] FIG. 2 is a plan view illustrating an enlarged portion of pixel regions on the active matrix substrate of the liquid crystal display device.

[FIG. 3] (A) is a cross-sectional view taken along the line A-A' in FIG. 2, and (B) is a cross-sectional view taken along the line B-B' in FIG. 2.

[FIG. 4] Cross-sectional views of steps for a TFT, for the cross section along the line A-A' shown in FIG. 2 in an embodiment of the present invention.

[FIG. 5] An illustration diagram which shows the relationship between the energy density in laser melting crystallization and the change caused in the silicon film.

[FIG. 6] Illustration diagrams which show the relationship between the energy density in laser melting crystallization and the crystallinity or the surface roughness.

[FIG. 7] A graph which shows electrical characteristics of a TFT created with the use of a crystalline semiconductor film according to an embodiment of the present invention.

[Explanation of the Reference Numerals and Signs]

- 1 liquid crystal display device
- 2 active matrix substrate
- 3 data line
- 4 scan line
- 5 pixel region
- 6 liquid crystal capacitance
- 9 active matrix portion
- 10 TFT
- 11 source region
- 12 drain region
- 13 channel region
- 14 gate insulating film
- 15 gate electrode



|        |  |
|--------|--|
| 16     | interlayer insulating film                   |
| 17, 18 | contact holes                                |
| 19     | pixel electrode                              |
| 20     | glass substrate                              |
| 21     | base protective film                         |
| 25     | retention capacitance                        |
| 30     | silicon film (silicon film 30)               |
| 31     | island-shaped silicon film (silicon film 30) |

Continued from the front page

(51) Int. Cl.<sup>7</sup> Discrimination Mark FI Theme Code (reference)

H 01 L 21/336

|                          |       |      |      |      |      |      |
|--------------------------|-------|------|------|------|------|------|
| F term (reference) 2H092 | JA24  | JA34 | KA05 | MA07 | MA09 |      |
|                          |       | MA29 | MA30 | NA24 | NA27 |      |
|                          | 5C094 | AA21 | BA03 | BA43 | CA19 | DA09 |
|                          |       | DA13 | DB04 | EB02 | FB03 | FB14 |
|                          |       | GB10 | JA09 |      |      |      |
|                          | 5F052 | AA02 | BA02 | BA07 | BB07 | CA04 |
|                          |       | CA07 | DA02 | DB02 | EA11 | EA15 |
|                          |       | FA19 | HA01 | JA01 |      |      |
|                          | 5F110 | AA01 | BB02 | CC02 | DD02 | DD13 |
|                          |       | DD24 | EE04 | EE44 | FF02 | FF30 |
|                          |       | GG02 | GG13 | GG25 | GG47 | HJ01 |
|                          |       | HJ23 | NN02 | NN04 | NN23 | NN35 |
|                          |       | PP04 | PP05 | PP06 | PP29 | PP31 |
|                          |       | QQ09 | QQ11 |      |      |      |